

El Futuro de la Tecnología CMOS

Christian Peter Winter, Francisco Muñoz Contreras

Máster en Ingeniería Electrónica

christian@kpwinter.com

feco_m@msn.com

Resumen— Desde su aparición en los años sesenta, la tecnología CMOS (del inglés *Complementary Metal Oxide Semiductor*) ha ido evolucionando rápida- y constantemente llegando a ser la tecnología de fabricación de circuitos más utilizada en la actualidad. Sin embargo, la drástica reducción en tamaño de los transistores MOS convencionales supondrá, en los próximos años, cambios radicales en su estructura y por lo tanto en su proceso de fabricación. Así pues, el objetivo de este artículo será exponer en mayor o menor medida estos cambios así como dar una visión general de la tecnología CMOS dentro del marco de los circuitos integrados.

I. LA TECNOLOGÍA CMOS

Un circuito CMOS esta constituido por dos tipos de transistores, NMOS y PMOS. Dichos transistores son del tipo MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) y consisten en un sustrato de material semiconductor dopado en el que, mediante técnicas de difusión de dopantes, se crean dos terminales (denominados fuente y drenador) de tipo opuesto al sustrato y separados por un canal sobre el cual se hace crecer una capa de material dieléctrico formada por óxido de silicio (SiO_2). Finalmente, sobre dicho aislante se crea la puerta, una fina capa conductora de polisilicio (ver la figura 1). La diferencia entre transistores NMOS y PMOS reside en el dopaje:

- NMOS: Sustrato tipo P y difusiones tipo N.
- PMOS: Sustrato tipo N y difusiones tipo P.

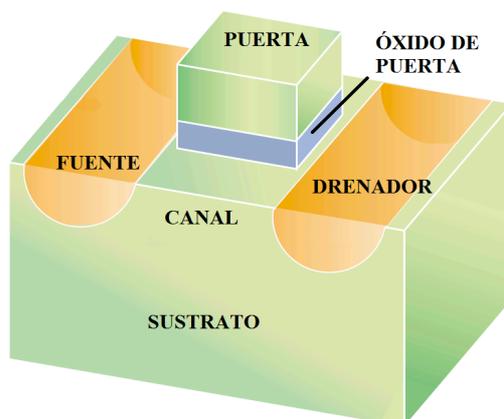


Fig. 1. Esquema básico de un transistor MOSFET.

El elemento utilizado para la fabricación de este tipo de dispositivos es el Silicio. Para su dopado se utilizarán otros elementos tales como Arsenio o Boro, consiguiendo así modificar sus características eléctricas. Por ejemplo, el Arsenio actúa como una impureza donadora (tipo N) y, por lo tanto, dona un electrón o portador de carga negativa a la banda de conducción del silicio. En cambio, el Boro actúa como una impureza aceptora (tipo P) y acepta un electrón de la banda de conducción, introduciéndose de esta manera un ‘huevo’ o portador de carga positiva.

Mediante un control adecuado de las tensiones en los terminales de fuente, drenador y puerta, es posible controlar el flujo de electrones o huecos que circulan por el transistor. Así, en el caso de un transistor NMOS, al drenador se le deberá aplicar una tensión positiva. Al existir una barrera de potencial en el canal (al estar éste vacío de portadores), el transistor no entrará en funcionamiento hasta aplicar una tensión de puerta positiva superior a la tensión umbral, atrayéndose de esta manera electrones a la zona de carga espacial y creándose un canal de conducción entre fuente y drenador. En el caso del transistor PMOS, las tensiones aplicadas deberán ser negativas y los portadores serán huecos en lugar de electrones.

II. UNA CONSTANTE EVOLUCIÓN

La evolución de la tecnología CMOS es continua y rápida. Consiguiéndose en el 2002 longitudes de canal cercanas a los 50nm, actualmente se están alcanzando longitudes de menos de 20nm (ver la figura 2). Según predice la SIA (*Semiconductor Industry Association*), en el 2016 se conseguirán circuitos integrados de hasta 9000 millones de transistores y longitudes de canal por debajo de los 10nm.

El porqué de intentar disminuir al máximo el tamaño de los transistores es evidente, cuanto menor sea la longitud de canal (distancia entre fuente y drenador), el retraso del transistor disminuirá ya que los portadores deben recorrer una distancia menor. Esto se traduce en una mayor velocidad de operación del dispositivo. Sin embargo, al reducirse la longitud de canal, la puerta se verá reducida también, haciendo del control de puerta un factor crítico. A su vez, se reduce la barrera energética del canal y, en consecuencia, la tensión umbral del transistor. De esta manera sería posible que, aunque no haya tensión aplicada en la puerta, ciertos portadores circulen por el canal. Dicho fenómeno es conocido

como el efecto de canal corto y se traduce a un aumento descontrolado del consumo de potencia.

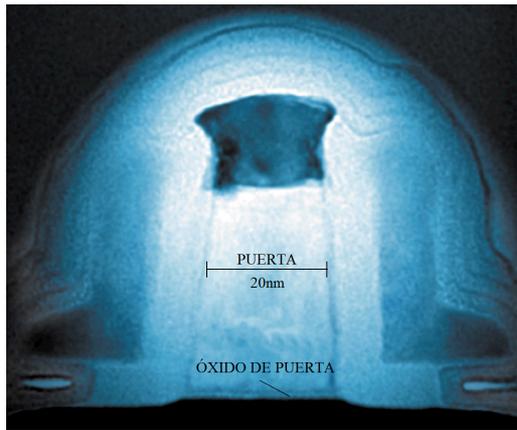


Fig. 2. Imagen de un transistor NMOS de 20nm obtenida mediante un microscopio electrónico de barrido.

Hoy en día existen diferentes métodos para reducir el efecto de canal corto tales como reducir el grosor de la zona de carga espacial (aumentando el dopado) o reducir el grosor de la capa de óxido de silicio y así conseguir un mejor control de puerta. Sin embargo, los métodos anteriores introducen efectos negativos como la reducción de la movilidad de los portadores o el aumento de las corrientes de fuga entre puerta y sustrato. A medida que el tamaño de los transistores se reduzca, dichos efectos cobrarán más importancia haciéndose imposible su compensación. Para garantizar el correcto funcionamiento de los transistores a dicha escala, será necesario introducir cambios significativos tales como:

- Descartar la utilización de polisilicio en la fabricación de puertas. Utilizar en su lugar puertas de metal con mayor conductividad, haciendo posible un control más exacto del transistor.
- Reemplazar el óxido de silicio (SiO_2) por óxidos de puerta con mayor constante dieléctrica, reduciendo drásticamente las corrientes de fuga y, consecuentemente, el consumo del dispositivo.
- Aumentar la movilidad del silicio añadiendo al silicio materiales semiconductores tales como el germanio, consiguiendo una estructura cristalina tensada (del inglés *Strained Silicon*).
- Aumentar el número de puertas por transistor pasando de utilizar una única puerta a utilizar dos o tres. De esta manera se reduce el consumo y se aumenta la fiabilidad del MOSFET.

III. DESAPARICIÓN DEL POLISILICIO

Como se ha comentado en el apartado II, el control de puerta es un factor esencial para el correcto funcionamiento del transistor. Actualmente, las puertas se fabrican mediante polisilicio altamente dopado y con una conductividad comparable a la de un metal. Sin embargo, al aplicar una diferencia de potencial, los electrones se verán atraídos a la

parte superior de la puerta, creándose una zona de carga espacial de entre 0.4 y 0.5nm de grosor en su parte inferior. Este efecto reduce el acoplamiento capacitivo de la puerta y empeora el control de ésta. Si en lugar de polisilicio se opta por un material metálico, dicho efecto es despreciable.

La sustitución de puertas de polisilicio por puertas de metal será cuestión de tiempo, sin embargo, qué metal utilizar para la futura fabricación de puertas en transistores MOS, resulta ser una pregunta clave. Deben tenerse en cuenta diferentes factores tales como: los materiales y sus combinaciones, su estabilidad térmica, las posibles reacciones con el óxido aislante, etc. A su vez, para ajustar la tensión umbral del transistor, el metal de puerta deberá presentar una función de trabajo concreta. La función de trabajo del metal indica con qué fuerza serán atraídos electrones libres por éste. Así pues, la tensión de puerta necesaria para atraer los electrones y así crear un canal de conducción dependerá de dicha función de trabajo del metal de puerta.

Actualmente existen diferentes tendencias pero, de entre las diversas opciones, cabe mencionar especialmente metales como el wolframio (W) o el molibdeno (Mo). Una opción interesante también podría ser el tantalato de rutenio (RuTa) ya que presenta una función de trabajo ajustable según la combinación de tantalato y rutenio.

IV. NUEVOS AISLANTES

A medida que la tecnología CMOS ha ido avanzando, la capa de óxido de silicio entre puerta y canal se ha visto reducida drásticamente para mantener un buen control de puerta. Idealmente el control de puerta se realiza estrictamente por acoplamiento capacitivo por lo que un dispositivo CMOS únicamente consumiría potencia en las transiciones. Sin embargo, en transistores con longitud de canal por debajo de los 90nm, el grosor de la capa de óxido es de menos de 2nm (grosor correspondiente a no más de 5 moléculas de SiO_2) y una capa de óxido de tales dimensiones permite la circulación de corrientes de fuga indeseables entre puerta y sustrato viéndose aumentado considerablemente el consumo tanto en régimen dinámico como estático.

Como hemos visto, la capacidad de un dispositivo tipo MOS debe ser elevada para garantizar un buen control de puerta. Dicho parámetro es inversamente proporcional a la distancia entre terminales (correspondiente al grosor del aislante) y directamente proporcional a la constante dieléctrica de dicho aislante. Al no ser posible, físicamente, seguir disminuyendo el grosor del aislante, la única opción consiste en aumentar la constante dieléctrica. Así pues, el óxido de silicio utilizado hasta el momento se verá sustituido por otro material aislante de mejores prestaciones.

Una apuesta interesante podría ser el dióxido de hafnio (HfO_2) cuya constante dieléctrica es 22 veces mayor a la del óxido de silicio convencional.

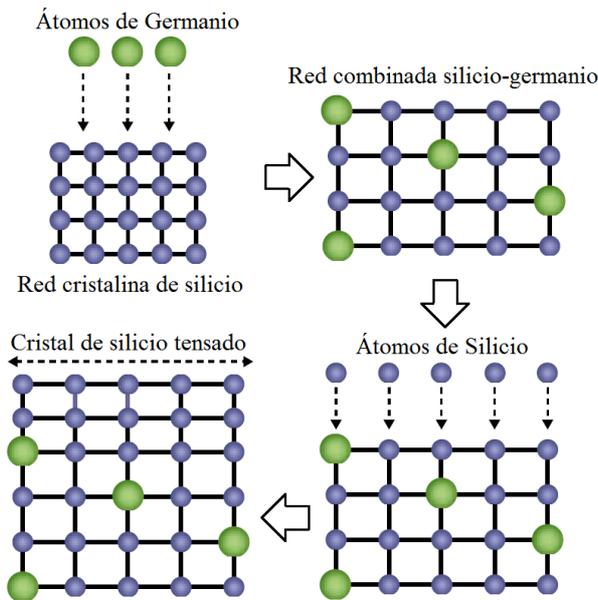


Fig. 3. Proceso a seguir para obtener estructuras de silicio tensado (Strained Silicon).

V. SUSTRATO MEJORADO

Una técnica interesante y que ya se ha llegado a implementar en circuitos comerciales consiste en forzar/tensar la estructura cristalina del sustrato del transistor consiguiendo mejorar las prestaciones de éste último.

En un cristal de silicio puro, la distancia entre los átomos de silicio es la misma en todas las dimensiones, siendo la red cristalina totalmente simétrica. En cambio, en un cristal de silicio tensado, la distancia entre átomos en el plano xy es mayor a la del eje z, modificándose las propiedades eléctricas del semiconductor. Al haber más espacio entre átomos, la colisión de portadores (tanto electrones como huecos) con la red cristalina se ve reducida y la movilidad aumenta. A su vez, la masa efectiva de los portadores también se ve reducida aumentando aún más la movilidad de éstos.

El proceso de fabricación de sustratos de silicio tensado es el siguiente: algunos de los átomos de silicio cercanos a la superficie de la oblea se sustituyen por átomos de germanio. Seguidamente, se deposita una fina capa de silicio puro sobre la oblea. Al tener los átomos de germanio radios atómicos mayores a los de silicio, la distancia entre átomos en la capa de silicio-germanio es mayor a la de silicio puro. Así al depositar la capa de silicio puro, ésta se alinearà con la anterior viéndose tensada en las direcciones paralelas al plano (ver la figura 3).

Los transistores fabricados sobre sustrato de silicio tensado presentan mayor movilidad de portadores respecto a aquellos que se fabrican sobre sustrato convencional (un incremento entre un 10 y un 20%). Adicionalmente, la corriente de salida del dispositivo aumenta y, consecuentemente, la velocidad de

conmutación se incrementa haciendo posible trabajar a mayores frecuencias de reloj.

VI. EN BÚSQUEDA DE NUEVAS ESTRUCTURAS

La utilización de aislantes con alto coeficiente dieléctrico, puertas de metal y sustratos de silicio tensado alargarán la vida del transistor MOSFET plano tradicional unos años más. Sin embargo, en un futuro no muy lejano, esto llegará a su límite. Los nuevos dispositivos multipuerta prometen ser una evolución tecnológica capaz de dar la solución necesaria a los circuitos integrados de baja potencia.

Están siendo diseñadas y estudiadas diferentes versiones de estas nuevas estructuras de transistor. Algunas de ellas se clasifican según su arquitectura y el número de puertas.

- Transistores planos de doble puerta: siguen la estructura plana convencional (capa por capa) por lo cual se podría fabricar sin necesidad de procesos litográficos especiales. El canal se encuentra insertado entre dos puertas independientes, permitiendo un control más efectivo del dispositivo.
- FlexFET: conserva la estructura plana, introduciendo una puerta doble, la superior “top gate” y “bottom gate” (ver figura 4). La superior es controlada por efecto campo (MOS) y la inferior por corriente (tratándose de una unión tipo JFET).
- FinFET: nueva estructura en tres dimensiones, donde la puerta está compuesta por varios electrodos. Es la apuesta más interesante para el futuro. Desarrollado conjuntamente por fabricantes importantes tales como IBM, AMD, Intel e Hitachi. En el siguiente apartado se detallará su funcionamiento.

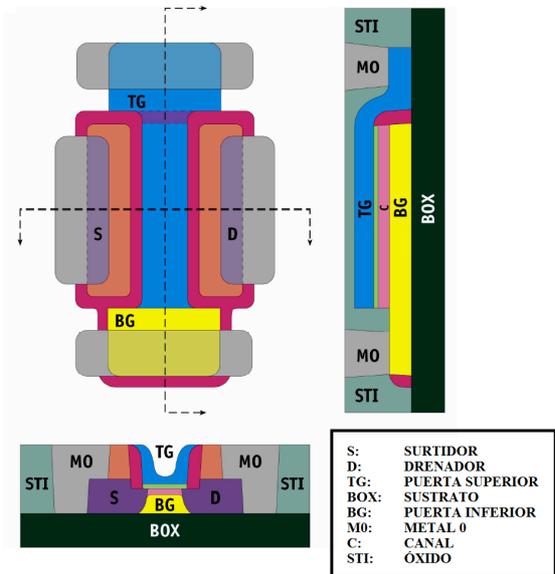


Fig.4 Estructura de un transistor FlexFET. Vistas correspondientes a la parte superior y secciones transversales.

VII. EL TRANSISTOR FIN-FET

El término FinFET fue definido por investigadores de la Universidad de Berkeley (California) para describir un nuevo modelo de transistor multipuerta, que no seguía la arquitectura MOS plana. La característica principal es que el canal conductor se encuentra envuelto por la puerta por tres de sus lados.

En estos dispositivos, la unión entre fuente y drenador esta construida verticalmente a la superficie del sustrato y presenta una anchura reducida. Esto hace posible una disminución de la resistencia en serie entre los terminales de fuente y drenador. La longitud de puerta del dispositivo viene determinada por dicha anchura.

La puerta es una película de polisilicio altamente dopado que rodea la unión entre fuente y drenador. Al aplicar una tensión en dicha puerta se crea un canal en la superficie de la unión, poniendo el transistor en conducción.

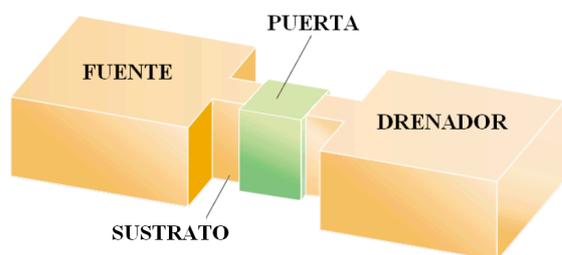


Fig. 5 Estructura de un FinFET.

Una segunda configuración se consigue utilizando dos puertas laterales independientes, creando el denominado "FinFET 4T" que presenta cuatro terminales: fuente, drenador, puerta 1 y puerta 2.

El control independiente de las puertas permite modificar la tensión umbral (V_{th}) del dispositivo y, adicionalmente, aumenta la inmunidad al indeseado efecto de canal corto. Generalmente el grosor del óxido de puerta suele ser simétrico, pero modificando estas medidas se puede mejorar aún más el control de la tensión umbral del transistor.

El gran interés mostrado hacia el FinFET es fruto de las ventajas que muestra respecto a otros transistores multipuerta, tales como menor coste de fabricación de obleas, baja densidad de defectos en los dispositivos por oblea, menor voltaje de polarización y sobretodo su gran compatibilidad con los procesos de fabricación actuales. Todo ello hace que el FinFET sea el primer transistor multipuerta implementado a nivel comercial.

VIII. CONCLUSIONES

Con las modificaciones expuestas en este artículo, el transistor MOSFET convencional seguirá siendo utilizado durante varios años. La introducción de transistores multipuerta de hasta cuatro puertas seguirá alargando aún más la vida de la tecnología CMOS. Y, cuando dichos dispositivos hayan llegado también a su límite, surgirán nuevas estructuras aún más exóticas tales como nanotubos, transistores de superconducción o transistores moleculares.

IX. REFERENCIAS

- [1] Y.P. Tsividis, *Operation and Modeling of the MOS Transistor*, McGraw-Hill Inc. 1988.
- [2] J.P. Colinge, C.A. Colinge, *Physics of Semiconductor Devices*, Kluwer Academic Publishers 2002.
- [3] *The Amazing Vanishing Transistor Act*, IEEE Spectrum October 2002.
- [4] M. Masahara, K. Endo *Four-Terminal FinFET device technology*, IEEE 2007.
- [5] S. Inaba, K. Okano, T. Izumida, *FinFET: the prospective multi-gate device for future SoC applications*, IEEE 2006.
- [6] http://es.wikipedia.org/wiki/Estructura_MOS
- [7] <http://en.wikipedia.org/wiki/MOSFET>
- [8] http://en.wikipedia.org/wiki/Strained_silicon

X. AGRADECIMIENTOS

En primer lugar, agradecimientos a Dr. Eugeni García Moreno y a Dr. Josep Lluís Roselló Sanz por suministrarnos la información necesaria para la realización de este documento. A su vez, dar las gracias al consejo editorial de la revista así como a la Universitat de les Illes Balears por darnos la posibilidad de publicar este artículo.



Christian Peter Winter es estudiante del Máster en Ingeniería Electrónica de la UIB. El artículo aquí presentado se realizó en base a los conocimientos adquiridos en la asignatura de Dispositivos Electrónicos y Fotónicos impartida por Dr. Eugeni García Moreno y Dr. Josep Lluís Roselló Sanz.



Francisco Muñoz Contreras es estudiante del Máster en Ingeniería Electrónica de la UIB. El artículo aquí presentado se realizó en base a los conocimientos adquiridos en la asignatura de Dispositivos Electrónicos y Fotónicos impartida por Dr. Eugeni García Moreno y Dr. Josep Lluís Roselló Sanz.